

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-135312

(43)Date of publication of application : 23.05.1995

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 05-189011

(71)Applicant : SONY CORP

(22)Date of filing : 30.06.1993

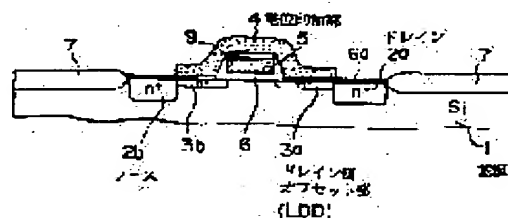
(72)Inventor : YAMADA MAKOTO

(54) SEMICONDUCTOR DEVICE AND ITS FABRICATION

(57)Abstract:

PURPOSE: To provide a semiconductor device, and its fabrication having such structure as the drain is provided with an offset part in which the offset part can be controlled in any way and the current capacity is enhanced while allowing fine patterning by allowing easy control of pinch-off voltage at the offset part.

CONSTITUTION: (1). The semiconductor device having such structure as the drain 2a provided with an offset part 3a is provided with a potential applying part (a metal electrode formed simultaneously with a poly-Si electrode 4 or an upper layer metallization) for controlling at least the drain side offset part. (2). The method for fabricating the semiconductor device comprises a step for covering at least the drain side offset part 3a and the gate electrode 5 with a material for forming the potential applying part, and a step for patterning the material to provide a potential applying part 4 for controlling at least the drain side offset part.



LEGAL STATUS

[Date of request for examination] 20.12.1999

[Date of sending the examiner's decision of rejection] 02.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135312

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. ⁹	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336		7514-4M 7514-4M	H 0 1 L 29/ 78	3 0 1 L 3 0 1 P

審査請求 未請求 請求項の数 5 F D (全 5 頁)

(21) 出願番号 特願平5-189011

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山田 真

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 高月 亨

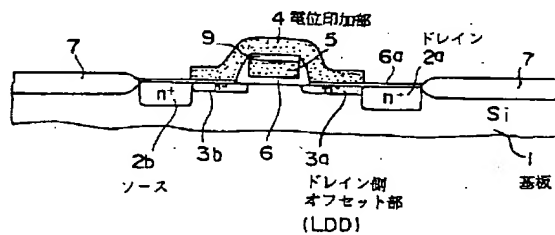
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【目的】 ドレインにオフセット部を備えた構造の半導体装置について、用法に拘らず、オフセット部の制御を可能とし、オフセット部のピンチオフ電圧を容易に制御可能にして電流能力の向上を図り得るようにし、また微細化を図ることも可能とした半導体装置及び半導体装置の製造方法を提供する。

【構成】 ①ドレイン2aにオフセット部3aを備えた構造の半導体装置において、少なくともドレイン側オフセット部制御用の電位印加部（ポリSi電極4または上層金属配線と同時に形成された金属電極4A等）を設ける。②ドレインにオフセット部を備えた構造の半導体装置の製造方法において、少なくともドレイン側オフセット部3a及びゲート電極5をおおって電位印加部形成材料を設け、該電位印加部形成材料をバターニングして、少なくともドレイン側オフセット部制御用の電位印加部4を設ける。

実施例1の構造



【特許請求の範囲】

【請求項1】ドレインにオフセット部を備えた構造の半導体装置において、

少なくともドレイン側オフセット部制御用の電位印加部を設けたことを特徴とする半導体装置。

【請求項2】電位印加部が、ポリSiにより形成されたポリSi電極であることを特徴とする請求項1に記載の半導体装置。

【請求項3】電位印加部が、上層金属配線と同時に形成された金属電極であることを特徴とする請求項1に記載の半導体装置。

【請求項4】ドレインにオフセット部を備えた構造の半導体装置の製造方法において、

少なくともドレイン側オフセット部及びゲート電極をおおって電位印加部形成材料を設け、該電位印加部形成材料をパターンニングして、少なくともドレイン側オフセット部制御用の電位印加部を設けた半導体装置を得る半導体装置の製造方法。

【請求項5】ソース／ドレインを有し、各々にオフセット部を有する半導体装置の製造方法であって、電位印加部形成材料をゲート電極及び各オフセット部上に形成し、これをマスクとしてソース／ドレインを形成する請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及び半導体装置の製造方法に関する。特に、ドレインにオフセット部を備えた半導体装置及びその製造方法に関するものである。本発明は、例えば、LDDオフセット型高耐圧トランジスタに係る技術として利用することができる。

【0002】

【従来の技術】従来のこの種のトランジスタ構造を図7に示す。基板1上にゲート電極5が形成され、該ゲート電極5の下部にオフセット部3a、3bをなす低濃度不純物拡散領域が形成されるとともに、ソース／ドレイン領域2b、2aをなす高濃度不純物拡散領域が形成されている。符号6はゲート絶縁膜、7は素子分離用LOCOS領域である。

【0003】従来のこのようなドレインにオフセット部を備えた構造の半導体装置には、次のような問題があった。

【0004】一般に従来の高耐圧トランジスタにおいては、ドレインより印加される電圧によりゲート絶縁膜6に高電界がかかるため、ゲート絶縁膜6を厚膜化したり、またオフセット部3aの濃度を下げて、電流能力を犠牲にしている。

【0005】また従来技術では、オフセット部3aの空乏層の伸び（ウェルからの伸び）のコントロールは、ゲート電圧と同様に制御を行っている。これによれば、オープンドレインとして用いるのに（例えばスイッチング

トランジスタとして用いる場合に）、オフ時のオフセット部の空乏層の伸びはコントロールできるが、前記したようにゲート絶縁膜6が厚いため、制御性はそれほど高くない。また、オープンドレイン以外の通常の使用方法を採る場合については、ゲート電圧とオフセット部をコントロールする部分（一般にポリシリコン部分）とが同一のため、このコントロール手法は用いることができなかった。

【0006】

【発明の目的】本発明は、上記問題点を鑑みてなされたもので、ドレインにオフセット部を備えた構造の半導体装置について、用法に拘らず、オフセット部の制御を可能とし、オフセット部のピンチオフ電圧を容易に制御可能にして電流能力の向上を図り得るようにし、また微細化を図ることも可能とした半導体装置及び半導体装置の製造方法を提供することを目的とする。

【0007】

【発明の構成及び作用】本出願の請求項1の発明は、ドレインにオフセット部を備えた構造の半導体装置において、少なくともドレイン側オフセット部制御用の電位印加部を設けたことを特徴とする半導体装置である。

【0008】この発明によれば、電位印加部を設けて、例えばゲート電極及びオフセット部をポリシリコン電極でおおったり、あるいはオフセット部上に金属電極を設けて、この電極を電位印加部とし、例えばトランジスタのオンまたはオフ動作によりこの電位印加部にバイアスを印加したり、あるいは印加しないことによりオフセット部のピンチオフ電圧をコントロールすることができる。これによって、電流能力の向上を図ることが可能ならしめられる。

【0009】この発明によれば、オフセット部をピンチオフさせやすくさせることによって電流能力が向上し、幅や厚さを大きくすることなしに高能力のトランジスタを構成でき、半導体装置のセルサイズの縮小を図ることもできる。

【0010】本発明の請求項2の発明は、電位印加部が、ポリSiにより形成されたポリSi電極であることを特徴とする請求項1に記載の半導体装置である。

【0011】この発明によれば、ゲート電極形成に用いるのと同様のポリSi加工技術により、通常の一般的手法により、制御用導電材料として優れるポリSiにより上記電位印加制御を実現することができる。

【0012】本発明の請求項3の発明は、電位印加部が、上層金属配線と同時に形成された金属電極であることを特徴とする請求項1に記載の半導体装置である。

【0013】この発明によれば、上層にA1配線等の金属配線を形成するときに、同時に電位印加部を形成することができる。

【0014】本発明の請求項4の発明は、ドレインにオフセット部を備えた構造の半導体装置の製造方法におい

て、少なくともドレイン側オフセット部及びゲート電極をおおって電位印加部形成材料を設け、該電位印加部形成材料をバターンニングして、少なくともドレイン側オフセット部制御用の電位印加部を設けた半導体装置を得る半導体装置の製造方法である。

【0015】この発明によれば、本発明の半導体装置を効率良く製造することができる。

【0016】本出願の請求項5の発明は、ソース/ドレインを有し、各々にオフセット部を有する半導体装置の製造方法であって、電位印加部形成材料をゲート電極及び各オフセット部上に形成し、これをマスクとしてソース/ドレインを形成する請求項4に記載の半導体装置の製造方法である。

【0017】この発明によれば、電位印加部をマスクとして、ソース/ドレインをセルフアラインで形成することができる。

【0018】

【実施例】以下本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は以下の実施例に限定されるものではない。

【0019】実施例1

この実施例は、本発明を、微細集積化したCCD高耐圧CMOSに具体化したものである。

【0020】本実施例のトランジスタ構造を図1に示す。図示のとおり、本実施例は、ドレイン2aにオフセット部3aを備えた構造の半導体装置において、少なくともドレイン側オフセット部3a制御用の電位印加部4を設けた半導体装置である。

【0021】本実施例では、ソース2b及びドレイン2a側のそれぞれの低濃度不純物拡散領域である両オフセット部3b、3aの双方にまたがる構成で、電位印加部4を形成した。この電位印加部4は、ドレイン側オフセット部3aに作用するものであるが、回路によりソース/ドレインが逆転する場合があるからである。

【0022】本実施例では、電位印加部4は、ポリSiにより形成されたポリSi電極で構成した。

【0023】図1中、符号1は基板(Si基板)、5はゲート電極(ポリSiゲート電極)、6はゲート絶縁膜(ゲート酸化膜であるSiO₂)、6aは絶縁膜(SiO₂膜)薄膜、7は素子分離用LOCOS領域(SiO₂)である。

【0024】本実施例の構造では、ソース2b側オフセット部3bよりゲート電極5部分、更にドレイン側オフセット部3bまでにポリSiを施して電位印加部4とし、この電位印加部4にトランジスタ動作に応じ、バイアスを印加することで、ゲート電極5端にかかる電圧を低めに制御でき、よってゲート絶縁膜6の薄膜化が可能となり、また、オフセット部3a、3bの濃度が比較的高めでもピンチオフするので、これらの結果、トランジスタのON時の電流能力向上を実現できる。

【0025】また、ドレインに電圧印加してスイッチングトランジスタとするオープンドレイン以外の使用の場合についても、ゲートON時にオフセットの空乏層が伸びにくくなるようにこのポリSi電位印加部4を端子に用いてコントロールすることができ、電流能力向上にもつながる。

【0026】本実施例のトランジスタは、次のような製造工程で製造した。これによって、ソース/ドレインをセルフアラインで形成したものである。図2ないし図5を参照する。

【0027】即ち、本実施例においては、少なくともドレイン側オフセット部3a及びゲート電極5をおおって電位印加部形成材料を設け、該電位印加部形成材料をバターンニングして、少なくともドレイン側オフセット部3a制御用の電位印加部4を設けて半導体装置を得るものである。

【0028】以下この工程について、具体的に詳述する。図2に示すように、Si基板1にSiO₂絶縁膜6bを形成し、素子分離領域7を形成するとともに、ポリSiをバターンニングしてゲート電極5を形成する。

【0029】上記素子分離領域7及びゲート電極5の形成後に、オフセットイオン注入Iを行う(図3)。

【0030】次に、SiO₂等の成膜及びエッチバックによりサイドウォール形成後、ゲート電極5上に絶縁膜9を形成する。ここでは酸化膜-窒化膜-酸化膜(SiO₂/SiN/SiO₂)積層構造のいわゆるONO膜とするか、あるいはCVD酸化膜により、この絶縁膜9を形成した。

【0031】その後、サイドウォール形成時のオーバーエッチ分を利用し、オフセット部3a、3b上の酸化膜をゲート絶縁膜5より薄くしてSiO₂薄膜6aとした後、電位印加部形成材料としてポリSiを成膜し、これを図4に示すようにバターンニングする。この時、ポリSi(電位印加部4)のエッジは、電界緩和層として用いられるJFET(ゲート対応)を覆うようにする(図4)。

【0032】次にこのポリSi(電位印加部4)をマスクとして用いて、図5に示す如くセルフアラインでソース/ドレインイオン注入IIを行う。

【0033】その後、ソース/ドレイン酸化を行い、図1に示すトランジスタ構造を完成させる。

【0034】上記ゲート電極5(ゲートポリSi)を覆うポリSiは、電位印加部4として、オープンドレインその他の高耐圧トランジスタの使用法にもとづき、ON、OFFに応じてバイアシングを行う。例えば、使用法は、トランジスタがOFF時には、オフセット部3aの空乏層を伸ばしてゲート電極5にかかる電界を緩和するため、電位印加部4は0Vにバイアスして、ピンチオフしやすくさせる。一方、トランジスタON時には、電位印加部4を例えば5Vにバイアスして、ピンチオフし

にくくし、ソース/ドレイン抵抗を下げる。

【0035】従来は、ウェルの側からの制御しかなし得ず、制御性に限界があったが、本実施例により、ピンチオフ電圧の制御を各種の場合について良好に行うことが可能となった。

【0036】実施例2

この実施例を、図6に示す。本実施例は、電位印加部4Aが、上層金属配線と同時に形成された金属電極であるものである。ここでは、層間膜8上にA1配線を形成する際、A1によりこの金属電極4Aを形成した。

【0037】本実施例によれば、実施例1のトランジスタと同様の制御性を得ることができる。また、金属配線の形成と同時に電位印加部4を形成できるので工程上有利である。

【0038】

【発明の効果】本発明によれば、ドレインにオフセット部を備えた構造の半導体装置について、用法に拘らずオフセット部の制御を可能とし、オフセット部のピンチオフ電圧を容易に制御可能にして電流能力の向上を図り得るようにし、また微細化を図ることも可能とした半導体装置及び半導体装置の製造方法を提供することができた。

*【図面の簡単な説明】

【図1】実施例1の構造を示す断面図である。

【図2】実施例1の工程を順に断面図で示すものである(1)。

【図3】実施例1の工程を順に断面図で示すものである(2)。

【図4】実施例1の工程を順に断面図で示すものである(3)。

【図5】実施例1の工程を順に断面図で示すものである(4)。

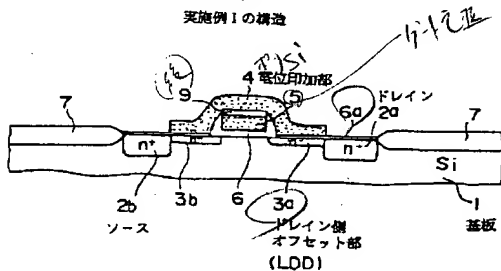
【図6】実施例2の構造を示す断面図である。

【図7】従来技術を示す断面図である。

【符号の説明】

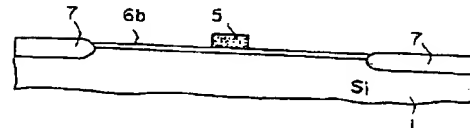
- | | |
|----|-------------|
| 1 | 基板 |
| 2a | ドレイン |
| 2b | ソース |
| 3a | ドレイン側オフセット部 |
| 3b | ソース側オフセット部 |
| 4 | 電位印加部(ポリSi) |
| 4A | 電位印加部(金属電極) |
| 5 | ゲート電極 |
| 6 | ゲート絶縁膜 |

【図1】



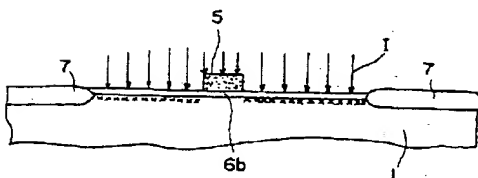
【図2】

実施例1の工程 (1)



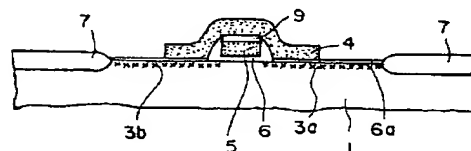
【図3】

実施例1の工程 (2)



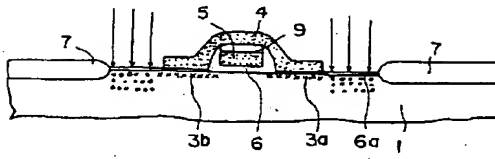
【図4】

実施例1の工程 (3)



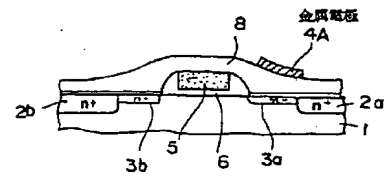
【図5】

実施例1の工程(4)



【図6】

実施例2の構造



【図7】

従来技術

